

MSK 调制解调器的设计与实现

赵 辉, 赵旦峰, 侯长波, 朱铁林
(哈尔滨工程大学 信息与通信工程学院, 黑龙江 哈尔滨 150001)

摘 要: 为了研究 MSK 调制解调器的数字化实现方法, 依据直接数字频率合成 (DDS) 技术和基于离散傅里叶变换 (DFT) 的谱分析理论, 采用 Simulink 仿真手段, 建立了数字化实现方案模型, 确定了方案的可行性并给出了系统各模块的参数, 最终通过 VerilogHDL 语言, 利用现场可编程门阵列 FPGA 实现了 MSK 数字化调制解调。

关键词: MSK; DDS; Simulink 仿真; FPGA
中图分类号: TN919.72 文献标志码: A 文章编号: 1007-2683(2011)01-0102-05

Design and Implementation of MSK Modem

ZHAO Hui, ZHAO Dan-feng, HOU Chang-bo, ZHU Tie-lin
(Information and Communication Engineering College Harbin Engineering University, Harbin 150001, China)

Abstract MSK is a digital modulation which is widely used in a variety of communication systems. By two significant advantages which are constant or small ups and downs envelope and minimal power spectrum, it is consistent with today's modem communication technology development status and research directions, so it arises from a wide range of attention. In this paper a digital method of accomplishing MSK modulation and demodulation is put up according to the primary principle of direct digital synthesize technique and spectrum analysis which is based on DFT. Then a digital model is established and the feasibility of the scheme is demonstrated, system parameters of each module is given through Simulink simulation. At last digital modulation and demodulation of MSK is implemented using the device of field programmable gate array (FPGA) based on the language of Verilog.

Key words MSK; DDS; Simulink simulation; FPGA

0 引 言

在数字通信技术中, 数字调制与解调技术占有非常重要的地位, 起着关键性作用. MSK 是一种连续相位调制技术, 它也可以看成是调制指数等于 0.5 的 CPFSK. 由于相位连续, 因此调制信号带宽窄, 从而占用的频谱资源少. 而传统的用正交调制相干解调等模拟方法实现 MSK 调制解调器不仅硬件实现复杂而且解调时载波很难同步, 对频偏

较敏感. 本文就此问题提出了一种 MSK 调制解调器的数字化实现方案并通过仿真确定了方案的可行性.

1 MSK 基本原理

最小频移键控 (MSK) 载波频率随着调制信号“1”或“0”而变, “1”对应于载波频率 f_1 , “0”对应于载波频率 f_2 . 典型的 MSK 信号波形如图 1 所示^[1-2]:

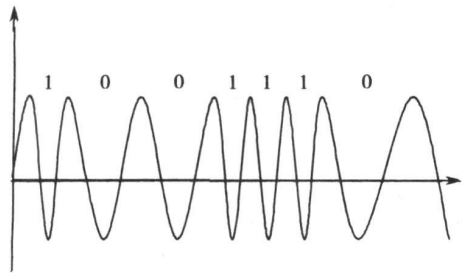


图 1 MSK 调制信号波形

为了表达的方便, 往往将调制信号的“1”保持不变, 而将其中的“0”映射成“-1”, 这时, MSK 信号的时域表达式为

$$y_{\text{MSK}}(t) = A \cos \left[\omega_c t + \frac{\pi}{2T_b} a_n t + x_n \right] \quad (1)$$
$$nT_b \leq t \leq (n+1)T_b, \quad n = 0, 1, 2, \dots$$

式中: A 为振幅, 信号的功率 E 与 A^2 成正比; a_n 为输入数据, 取值为 ± 1 ; ω_c 为载波角频率; T_b 为比特宽度; x_n 为为保证在 $t = nT_b$ 时相位连续加入的相位常数相位携带了所有的信息, 令

$$\varphi_n(t) = \omega_c t + \frac{\pi}{2T_b} a_n t + x_n \quad (2)$$

从式 (2) 可以看出, 在一个码元周期内, 其基带相位总是线性累积 $\pm\pi/2$ 因此码元终止相位与起始相位之差也是 $\pm\pi/2$ 如果一个码元是“1”, 那么在该码元周期内基带相位均匀增加; 相反如果一个码元是“0”, 那么在该码元周期内, 基带相位均匀减小 $\pi/2$ 其相位路径如图 2 所示.

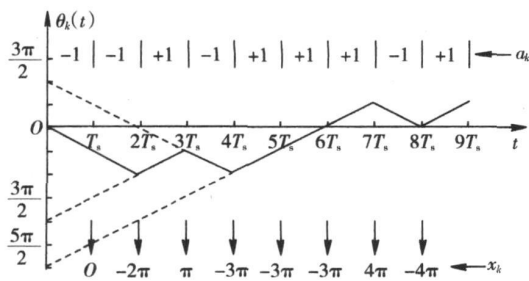


图 2 MSK 信号的相位路径

2 MSK 数字化调制仿真及 FPGA 实现

2.1 MSK 调制 Simulink 仿真

本文 MSK 的数字化调制就是根据直接数字频率合成 (DDS) 技术的基本原理, 利用 FPGA 编程实现 DDS 电路的功能, 在码元转换时刻频率控制字也转换, 进而两个码元输出不同的频率, 实现 MSK 的

数字化调制^[3-5].

如图 2 所示, DDS 是一种全数字化的频率合成器, 由相位累加器、波形 ROM、D/A 转换器和低通滤波器构成. 时钟频率给定后, 输出信号的频率取决于频率控制字, 频率分辨率取决于累加器位数, 相位分辨率取决于 ROM 的地址线位数, 幅度量化噪声取决于 ROM 的数据位字长和 D/A 转换器位数. 它的输出频率表达式为

$$f_o = \frac{K}{2^N} f_c \quad (3)$$

其中: f_c 为系统时钟频率; N 为相位累加器位数; K 为频率控制字. 量化后的数字波形经过 D/A 转换, 再通过低通滤波器就得到频率为 f_o 的余弦信号.

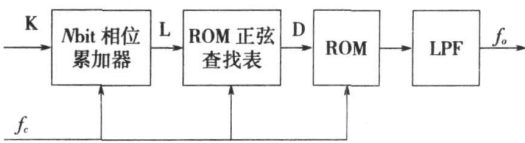


图 3 直接数字频率合成的基本框图

系统仿真框图如图 4 所示, 参数设为: 载波频率 $f_c = 20 \text{ kHz}$ 码元速率 $f_b = 80 \text{ bit/s}$ 采样频率 $f_s = 204800 \text{ Hz}$ 根据 DDS 输出频率公式可得 $f_1 = \frac{K_1}{M} f_s$, $f_2 = \frac{K_2}{M} f_s$, 可以计算出频率控制字 $K_1 = 859913$ $K_2 = 864224$ 只要在码元的转换时刻, 进行 K_1 和 K_2 之间的变换, 便可以实现输出信号频率在 f_1 和 f_2 之间的变换.

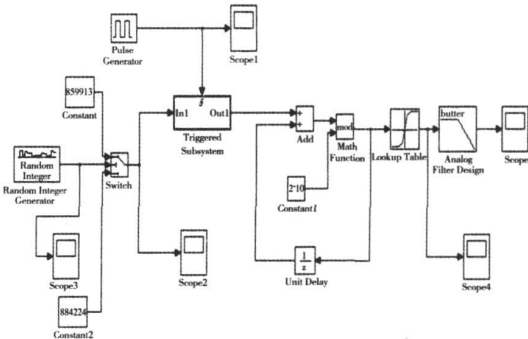


图 4 MSK 调制 Simulink 仿真框图

其中 Look-up 的查找公式设置为 $\sin \left[\frac{[0 \ 2^{N-1} - 1]}{2^N} \times 2\pi \right]$, LPF 模块中含有数模转换的功能, 所以模型中没有再添加 DAC 模块. 只要在码元转换时刻使频率控制字在 $K_1 = 859913$ $K_2 = 864224$ 之间转换即可实现 MSK 调制, 其波形如图 5 所示.

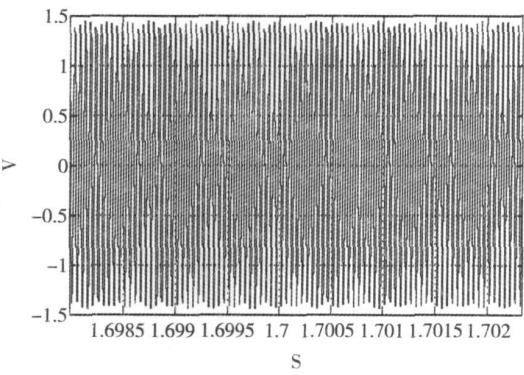


图 5 MSK 调制波形

2.2 MSK调制 FPGA 实现

2.2.1 系统代码编写

根据前面仿真确定的系统基本框图,采用 Verilog HDL 语言分为以下几个模块进行系统代码编写^[6]:

1)频率控制字选择模块
模块根据 MSK 信号两个不同的频率 f_1 、 f_2 再根据 DDS 输出频率公式 $f_o = \frac{K}{2}f_s$, ($f_s = 50 \text{ MHz}$ 为系统时钟, $N = 32$ 为累加器位数)计算出两个频率对应的频率控制字. 根据本设计中系统指标: 载波频率位 10K, 码元速率 100bit/s 计算得出 $f_1 = 9.975 \text{ kHz}$, $f_2 = 10.025 \text{ kHz}$ 所以 $K_1 = 859\,913$, $K_2 = 864\,224$ 当信源为“0”时频率控制字为 K_1 , 当信源为“1”时频率控制字为 K_2 .

2)相位累加器模块, 相位寄存器模块
这两个模块实现相位的累加并存储累加的结果, 本设计采用的是 32 位的累加器, 它的高 12 位输出作为 ROM 表的输入地址.

3)相位调制器模块
通过改变相位控制字可以控制输出信号的相位参数, 相位调制器模块产生量化的 12 位相位输出偏移量, 该偏移量会在后面与相位累加器的高 12 位输出求和输入波形存储器 ROM, 使波形存储器的幅度编码相位增加, 从而使最后输出的信号产生相移, 可以非常精确的控制信号相位, 相移大小取决于加到累加器输出端的数目.

4)波形存储器 ROM
用相位累加器输出的高 12 位数据作为波形存储器的取样地址, 进行波形的相位一幅值转换, 即可在给定的时间上确定输出的波形的采样幅值. 该模块的输入被送到正余弦查找表, 为了节省空间, 查找表只存储 1/4 周期即 0 到 $\pi/2$ 内的正弦曲线信息, 利用正弦函数的对称性得到其他区间的曲线, 查找

表的输出会与相位调制器输出一起被寄存在一个寄存器内, 然后进行量化并且输出, 这一步就完成了数模转换的功能, 于是输出了一系列连续的数作为输出曲线的幅度值.

2.2.2 编译综合

在代码验证完成之后, 利用 Quartus II 9.0 对代码进行 RTL 级综合. 首先设计一个顶层模块调用(实例引用)前面讲的 5 个功能模块, 综合后得到的 RTL 级逻辑图如图 6 它的其输入输出端口说明如下; 表 1 是 Quartus II 的综合报表. 选择 Cyclone II 系列的 EP2C35F672C8FPGA 母片. 共计用了 42 个逻辑单元, 占总资源的不到 1%. 使用了 27 只管脚, 占总管脚数的 6%.

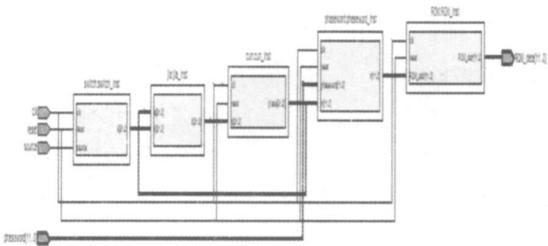


图 6 综合后的 MSK 系统 RTL 级逻辑图

表 1 Quartus II 综合报表

硬件资源	综合结果
Flow Status	Successful—Thu May 28 20:53:38 2009
Quartus II Version	9.0 Build 132 02/25/2009 SJ Full Version
Revision Name	MSK_TOP
Top-level Entity Name	MSK_TOP
Family	Cyclone II
Device	EP2C35F672CB
Timing Models	Final
Met timing requirements	Yes
Total logic elements	42/33,216(<1%)
Total combinational functions	41/33,216(<1%)
Dedicated logic registers	30/33,216(<1%)
Total registers	30
Total pins	27/475(6%)
Total virtual pins	0
Total memory bits	49,152/483,840(10%)
Embedded Multiplier 9-bit elements	0/70(0%)
Total PLLs	0/4(0%)

输入端口名称:

① source 输入的 二进制信源, “0”, “1” 对应不同的频率控制字 K , 输出波形的频率受其控制 $f_{out} =$

$$K \frac{\text{CLK}}{2^{32}},$$

$$\textcircled{2} \text{ phaseword } P_{\text{out}} = \text{phaseword}[11:0] \times \left(\frac{2\pi}{2^{12}} \right);$$

③ CLK: 系统参考时钟, 也作为输出采样时钟;

④ reset 系统复位端.

输出端口名称:

ROM_data 输出的正弦波幅度二进制代码, 经 DAC 转换后即可得到一定频率的模拟正弦波.

2.2.3 功能仿真

在对各个模块编码并编译综合无误之后, 开始对代码进行验证, 确定设计是否完成了预期功能. 整个编码、编译和验证的过程在 Quartus II 9.0 中完成. 设置的仿真激励及条件为: 系统时钟频率为 50 MHz 仿真时间为 1000 μ s 在 0~500 μ s 时信源输出为“0”对应的频率 $f_1 = 9.975$ kHz 在 500~1000 μ s 时信源输出为“1”对应的频率 $f_2 = 10.025$ kHz 前面已经计算出 f_1 、 f_2 对应的频率控制字分别为 $K_1 = 859913$ $K_2 = 864224$ 频率分辨率为 $\frac{50 \text{ MHz}}{2^{32}} = 0.0116$ Hz 当信源为“0”, “1”时系统输出波形分别如图 7 图 8:

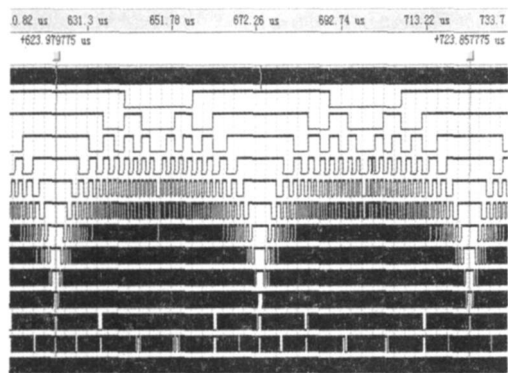


图 7 信源为“0”时波形

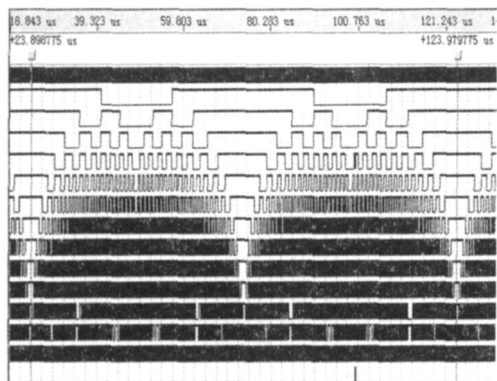


图 8 信源为“1”时波形

由图中可以算出当信源为“0”时对应的输出频率为 9991.9 Hz 当信源为“1”时对应的输出频率为 10012 Hz 与 f_1 、 f_2 存在误差但基本符合, 即逻辑功能正确, 误差主要来自 ROM 幅度量化误差、相位截断误差, DAC 的转化误差. 将输出接到数模转换电路 DAC 中即可输出模拟正弦波形.

将前面设计的程序下载到 FPGA 开发板上, 进行配置下载, 调试后完成了 FPGA 设计的整个流程, 最终实现了 MSK 数字调制.

2.3 基于 DFT 原理的 MSK 数字解调算法及仿真

DFT 的作用就是把时域的 N 点有限序列 $f(k)$ 变换为频域的 N 点有限序列 $F(n)$. 它是广泛应用于信号处理的数学方法, 在数字信号处理的算法和系统分析、设计和实现中都起着重要的作用^[7-8].

$$F(n) = \frac{1}{N} \sum_{k=0}^{N-1} f(k) e^{-j\frac{2\pi}{N}kn}, 0 \leq n \leq N-1 \quad (4)$$

$$f(k) = \sum_{n=0}^{N-1} F(n) e^{j\frac{2\pi}{N}kn}, 0 \leq k \leq N-1$$

本文是在假设与接收信号已经建立比特同步的条件下进行的解调. 根据 MSK 基本理论, MSK 信号在一个码元周期内可以看成是一定频率的余弦信且对应于“0”码载波频率 f_2 和对应于“1”码载波频率 f_1 的信号波是正交的. 已调信号形式如下:

$$s(t) = \begin{cases} A_c \cos[2\pi f_1 t + \varphi_k], & \text{二进制数据“1”} \\ A_c \cos[2\pi f_2 t + \varphi_k], & \text{二进制数据“0”} \end{cases} \quad kT_b \leq t \leq (k+1)T_b \quad (5)$$

具体的解调方案如下:

对 MSK 信号的一个码元周期进行整周期采样, 即采样速率为码元速率的整数倍, 同样采样频率也应远远大于载波频率 f_1 和 f_2 , 然后对每个码元周期内的采样值针对频率 f_1 和 f_2 进行两次 DFT 运算, 分别求出对应的幅值信息 A_1 和 A_2 然后判决幅值 A_1 和 A_2 的大小就可以恢复出数字基带信号了. 当 $A_1 > A_2$ 时, 判决码元为“1”码; $A_1 < A_2$ 时判决码元为“0”码^[9-10].

系统仿真框图如图 9 所示, 流程为: 信源 - MSK 调制 - 叠加噪声 - 带通滤波 - 对 MSK 信号倍频 - 带通滤波 - 进行 DFT 解调. 仿真时参数设置为: $f_c = 20$ kHz $f_b = 80$ bit/s $f_s = 20480$ Hz 即在一个码元周期内采样 $N = \frac{f_s}{F_0} = 2560$ 个点 (整周期采样) 其解调输出误码率曲线及正交解调误码率曲线如图 10

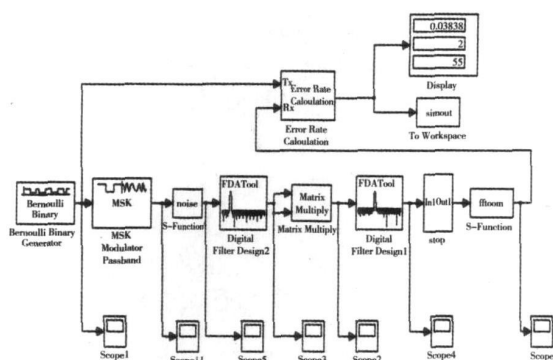


图 9 MSK 信号解调 Simulink 模型

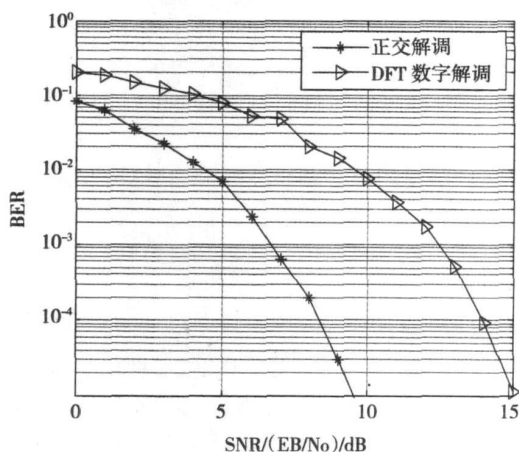


图 10 DFT 解调及正交解调误码率曲线

从图中可以看出,利用 DFT 原理进行的数字解调与正交相干解调方法相比在相同信噪比情况下误码率要大,抗噪声性能并不是很好,其原因就是在接收端把 MSK 信号进行倍频的同时噪声也同样被放大了,但是相干解调必须从接收到的信号中提取出相干载波,因此实现结构比较复杂,而且当本地载波不满足同频同相时解调输出误码率将会很大。基于 DFT 原理的算法在信噪比较大的情况下还是能得到较小的误码率的,因此它适用于对抗噪声性能要求不是很严格的场合。

3 结 语

本文利用 FPGA 实现 MSK 数字调制的方法在

保持传统 DDS 电路优良性能的同时又对其内部的 ROM 表进行了优化(查找表只存储 $1/4$ 周期即 0 到 $\pi/2$ 内的正弦曲线信息,利用正弦函数的对称性得到其他区间的曲线)节省了空间,减少了硬件复杂性,同时用 FPGA 实现 DDS 调频信号电路比专用 DDS 芯片更为灵活,只要改变 FPGA 内 ROM 的数据和控制参数,就可以产生任意调制波形。基于 DFT 原理的 MSK 信号数字化解调方法,与传统的正交解调方法相比,解调时不需要载波同步,只要求采样频率是码元速率的整数倍而且对采样定时精度要求也不高,并且算法简单,计算量大大降低,基于 DFT 的 MSK 解调算法充分发挥了 MSK 信号“正交性”的特点。

参 考 文 献:

- [1] SUBBARAYAN Pasupathy Minimum Shift Keying: A Spectrally Efficient Modulation [J]. IEEE Communications Magazine, 1979, 14-22.
- [2] 张萍. 基于 Verilog 语言的 DDS 设计与仿真 [D]. 西安: 西安电子科技大学, 2007: 25-27.
- [3] 李青鹏, 王世练, 张尔扬. 基于 DDS 和 FPGA 的 DS-SS 信号发生器 [J]. 通信技术, 2003: 1-3.
- [4] 晁冰, 李东生, 雍爱霞. 最小移频键控系统实现技术的仿真研究 [J]. 计算机仿真, 2003(11): 1-2.
- [5] 陆志超, 赵旦峰. 一种 MSK 调制解调器的硬件实现方案 [J]. 黑龙江科技信息, 2010: 45.
- [6] 王晓辉, 姜德谭, 姜华, 等. 基于 DDS 技术的 MSK 调制 [J]. 哈尔滨理工大学学报, 2003, 8(6): 80-81.
- [7] 杨守良. 基于 FPGA 的最小移频键控调制器的设计与实现 [J]. 重庆文理学院学报, 2009: 41-43.
- [8] 许少峰, 申振宇. MSK 信号的数字解调新算法 [J]. 现代电子技术, 2005(2): 119-120.
- [9] 胡敏. MSK 数字化调制解调技术研究 [D]. 长沙: 中南大学, 2007: 33-36.
- [10] 胡敏, 肖大光. 一种 MSK 信号的数字化解调新算法 [J]. 计算机仿真, 2007, 24(10): 123-125.

(编辑: 温泽宇)